

(11) 61-253559 (A)

(43) 11.11.1986 (19) JP

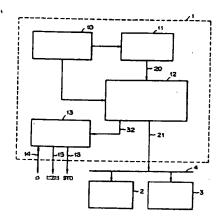
(21) Appl. No. 60-95029

(22) 2.5.1985

(71) NEC CORP (72) SHIGEAKI HIRANO (51) Int. Cl⁴. G06F12/00,G06F12/02,G06F12/06

PURPOSE: To attain easily a system where the highest performance is secured with a microprocessor by providing a mechanism into the microprocessor to control the cycle length of an external memory and at the same time setting the information on the optional cycle length to an optional address space by a program.

CONSTITUTION: An address generating part 11 produces a logic address 20 by the address generating information sent from an instruction control part 10 in a microprocessor 1 and sends the address 20 to a memory control mechanism 12. This mechanism 12 stores plural pieces of address describers and selects an address describer corresponding to the address 20 to deliver a physical address 21 and the memory waiting information 32. The address 21 is sent to external memories 2 and 3 via a memory bus 4; while the information 32 is sent to a timing control part 13. The part 13 outputs a memory mode signal 15 and a strobe signal 16 to outside by the information 32 and based on a clock (φ) 14 supplied from outside.



(54) WRITING CONTROL SYSTEM FOR MEMORY DEVICE

(11) 61-253560 (A)

(43) 11.11.1986 (19) JP

(21) Appl. No. 60-95410

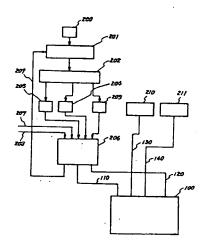
(22) 7.5.1985

(71) HITACHI LTD (72) MASAHIKO TAGAMI

(51) Int. Cl⁴. G06F12/00,G11C7/00

PURPOSE: To secure the high-speed writing performance by providing flags in response to the number of desired writing cycles and selecting the writing pulses corresponding to the writing cycles according to the contents of the flags.

CONSTITUTION: When a writing request is set to a writing request register 200, the number of writing cycles are decided by a writing cycle number deciding circuit 202 via a writing control circuit 201. Then a writing request is set to a writing request delay register 205 in response to the number of writing cycles. Then writing flag registers 203 and 204 are set. The contents of these registers are supplied to a writing pulse selecting circuit 206. Then the writing pulses 207 and 208 corresponding to the writing cycles are selected and send to a memory device 100. If these selected pulses are corresponding to the double machine cycle, the continuous writing requests are suppressed to a single machine cycle by a writing suppressing signal 209 via the circuit 201.



(54) VECTOR PROCESSOR

(11) 61-253561 (A) (43) 11.11.1986 (19) JP

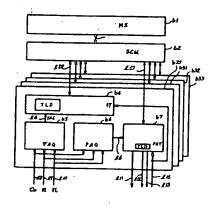
(21) Appl. No. 60-95440 (22) 7.5.1985

(71) HITACHI LTD (72) SHIGEO NAGASHIMA(2)

(51) Int. Cl⁴. G06F12/10,G06F15/347

PURPOSE: To shorten the processing time in comparison with an on-demand paging system by performing the production of a precedent vector address and the page fault check through address conversion in parallel with the original vector reference.

CONSTITUTION: A head vector element address VA₀, a vector element interval VI and the vector length VL are supplied to main memory reference request circuits b30-b33 respectively. A vector address generator b5 calculates a vector element address VAi to use it as a virtual address with normal vector reference. Then a real address is obtained by an address converter b4. The vector page addresses are obtained successively by a vector page address generator b6 for a precedent paging action. A precedent address converter b7 gives the address conversion to a virtual address received via a line 6 according to the head address of a segment table. Then the generator b7 informs the generation of an address conversion fault to an interruption processing mechanism in a vector processor after knowing that the desired segment and page are not detected on a main memory b1.



b2: main memory control part, 111: address conversion fault, 112: virtual address, 113: kind of address conversion fault, 114: head address of segment table

19日本国特許庁(JP)

10 特許出願公開

⑫ 公 開 特 許 公 報 (A)

昭61-253559

@Int_Cl.4

識別記号

庁内整理番号

❸公開 昭和61年(1986)11月11日

G 06 F 12/00

12/00 12/02 12/06 D-6711-5B

D-6711-5B F-6711-5B

審査請求 未請求 発明の数 1 (全4頁)

の発明の名称

マイクロプロセツサ

②特 願 昭60-95029

❷出 願 昭60(1985)5月2日

砂発明者 平野

野 成 明

東京都港区芝5丁目33番1号 日本電気株式会社内

⑪出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

砂代 理 人 弁理士 草 野 卓

明細

1. 発明の名称

マイクロプロセツサ

- 2. 特許請求の範囲
- 3. 発明の詳細な説明

「産業上の利用分野」

この発明は外部メモリをその速度に応じて制御 するマイクロブロセツサに関するものである。

「従来の技術」

従来のマイクロプロセッサは例えばメモリサイクル中に外部から入力されるWAIT信号がイクテイブの間(入力されている間)はメモリサイクルのクロック数を延長し、メモリサイクル中にWAIT信号が全くアクティブロセッカらなければが、フロインのができまる外部メモリのメモリサイクル及の制御は、外部信号を生成する外部回路により行なわれていた。

「発明が解決しようとする問題点」

上述した従来のマイクロブロセッサは、外部信号によりメモリのサイクル長を制御するため、速度が異なるメモリが混在するデータ処理装置では、外部にてマイクロブロセッサが出力するメモリアドレスをデコード(解娩)し、各アドレス空間に対応するメモリの速度に合わせたWAIT信号の制御を行なう必要があつた。マイクロブロセッサ

特開昭61-253559(2)

が高速になると外部にてメモリアドレスをデコードしWAIT信号を生成する時間が問題となり、特にWAIT(待ち)時間がゼロの高速メモリを混在したレステムでは、WAIT(待ち)をゼロとする制御が困難となる。

そこでこの発明の目的は、マイクロプロセッサ内にて外部メモリのサイクル長を制御する機構を設け、且つプログラムにより任意のアドレス空間に対する任意のサイクル長情報をセット可能とすることにより、マイクロプロセッサの最高性能のレステムの構築を容易としたマイクロプロセッサを提供することにある。

「問題点を解決するための手段」

この発明のマイクロプロセッサでは、給理アドレスに対応する物理アドレス情報と、その物理アドレス空間の外部メモリのメモリサイクルの長きを示す情報とを有するアドレス記述子がメモリ管理機構に複数個収容され、そのメモリ管理機構にレス生成部にて生成された論理アドレスに対応するアドレス記述子を選択し、その選択

パス4を介して外部メモリ2.3に送られ、メモリのWAIT情報32はタイミング制御部13に送られる。タイミング制御部13は外部から与えられるクロック(を)14を基準とし、WAIT情報32によりMEM(メモリモード)信号15、STB(ストローブ)信号16を第4図に示すように外部に出力する。

第4図はこの実施例のマイクロブロセンサーが 外部メモリをアクセスする場合のタイムチャート をアクセスする場合のタイムチャート をテクロブロをツサーの規定のメモリサイクルは第4図Aの基準クロツクが規定の3クロツクである。第4図2の3クに要長し、アックを示す。物理アドレス21はアレス21はアロツクで、12の間ではアリバス21はアリイのの外によりではメモリガムの外によりではメモリガムの外によりがある。外にアリバス21を対象をは、12のタイミングでデータを引取り、外部メモリイクを引取り、外部メモリイクのアイミングをよりによった。 したアドレス記述子の物理アドレス情報をもとに論理アドレスを物理アドレスに変換し、またそのメモリ管理機構にて選択されたアドレス記述子が有するメモリサイクルの長さを示す情報によりメモリサイクルのクロック数が制御される。

「実施例」

ル中書込データを出力する。 M E M (メモリモード) 信号 1 5 (第 4 図 C) はメモリサイクル中メモリアクセスを示す状態を保ち、 S T B (ストロープ) 信号 1 6 (第 4 図 D) はメモリパス 4 上のアドレス、データを保証するクロックとして外部に出力する。

第 3 - b 図の場合は論理アドレス 2 0 を論理タグ(LTAG)と変位(displacement)情報 (d)

特閒昭61-253559(3)

とに分解し、アドレス記述子テーブル30はそれに対応する論理タグ(LTAG)テーブル40と対をなし速想メモリ構成になつている。論理アドレス20の論理タグ(LTAG)が論理タグテーブル40上に登録されているか限合され、登録されている場合は対応するアドレスPBA31及びWAIT情報WN32が洗出され、物理アドレス21はその物理ペークの合成により生成される。

外部メモリ 2 、3 は各々性能が異なり、各々のメモリサイクルのクロック数を例えば 3 3 4 に 1 で 1 で 2 で 2 の 物 限 アドレス記述子の W A I T 情報 (WN) 3 2 は 0 で を、外部メモリ 3 の 物理 アドレス記述子の W A I T 情報 (WN) 3 2 は 0 で を 4 で 2 で 2 で 4 で 7 で 9 ムにより 4 で 1 で 7 で 4 図に示したようにクロック T1 ~ T1 中にクロック TW1 ・ T W2 が 挿入されメモリサイクル 長は

ク図、第2図はマイクロプロセッサが有するアドレス記述子の構成例を示す図、第3-a.第3b 図はそれぞれマイクロプロセッサ中のメモリ管 連機構の構成例を示すプロック図、第4図はこの 発明の実施例のマイクロプロセッサが外部メモリ をアクセスする場合の動作例を示すタイムチャー トである。

1: マイクロブロセツサ、2:外部メモリ、3:外部メモリ、4:メモリパス、10:命令制御部、11:アドレス生成部、12:メモリ管理機構、13:タイミング制御部、14:クロツク、15:MEMでは号、16:87B信号、20:論選アドレス、21:物理アドレス、30:アドレスに还子テーブル、31:物理ペースアドレス(PBA)、32:WAIT情報(WN)、40:論理タグ(LTAG)テーブル、50:加算器。

特許出願人 日本電気株式会社

化组人 算野 卓

5 クロックとなる。外部メモリ 2 が アクセスされる場合はクロック T, ~ T a 中にクロック T W は 挿入されずメモリ サイクル 長は 3 クロックと なる。

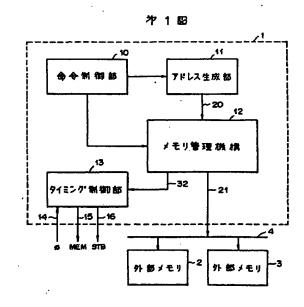
かようにしてマイクロプロセッサ1は各々性能 が異なる外部メモリ2、3を混在させたシステム を制御することができる。

「発明の効果」

以上に説明したようにこの発明のマイクロブロセッサは外部メモリの物理アドレス空間に対応するアドレス記述子に、その外部メモリのサイクル長の情報を特たせることにより、ブロセッサ内にて外部メモリのメモリサイクル長の制御が可能となり、外部に前述のWAIT信号を生成する回路が不要因が除去され、マイクロブロセッサが有する最高性能を引出すレステムの構築を容易とすることができる。

4. 図面の簡単な説明

第1図はこの発明の実施例のマイクロブロセッサの構成と外部メモリとの接続構成を示すブロッ

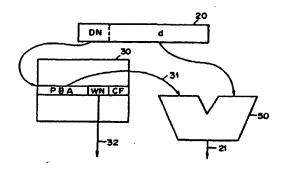


31 32 PBA WN CF

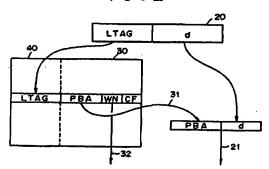
≯ 2 图

特開昭61-253559(4)

か 3-a 図



沖 3-b 図



≯4 图

